



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Serial No: 10/758,624
Filing Date: 01/14/2004
Examiner:
Title:

Docket No: 2001072
Applicant:
Art Unit:

To: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

1. Transmitted herewith is the priority document for this application.
2. Certificate of Mailing (37 CFR 1.8a): I hereby certify that this paper (along with any referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as First Class Mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

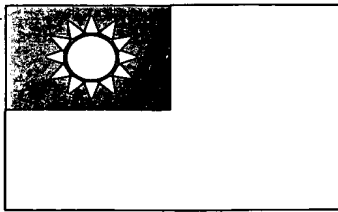
Respectfully submitted,

Date: March 2, 2004



Keith Kline
PRO-TECHTOR INTERNATIONAL
20775 Norada Court
Saratoga, CA 95070-3018

Registration No: 32,737
Telephone: (408) 778-3440



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 11 月 06 日
Application Date

申請案號：092131135
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 3 日
Issue Date

發文字號：09320095240
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

移除深溝渠結構中半球形晶粒矽層之方法

Method for Removal of Hemispherical Grained Silicon in Deep Trench

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

茂德科技股份有限公司

ProMOS Technologies Inc.

代表人：(中文/英文) 胡 洪 九 HU, HUNGCHIU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 19 號 3 樓

3F, NO. 19, LI HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU

國 籍：(中文/英文) 中華民國 R.O.C.

參、發明人：(共 1 人)

姓 名：(中文/英文)

巫勇賢 WU, YUNGHSIEN

住居所地址：(中文/英文)

台北市信義區虎林街 30 巷 2 弄 6 號 6 樓

6F, NO. 6, ALLEY 2, LANE 30, HU LIN ST., TAIPEI CITY

國 籍：(中文/英文) 中華民國 R.O.C.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要

一種移除深溝渠結構中半球形晶粒矽之方法，其利用一埋藏矽鍺層做為蝕刻終止層，並以濕蝕刻製程移除半球形晶粒矽。濕蝕刻製程所用之氫氧化鉀/丙酮/水混合液對半球形晶粒矽與埋藏矽鍺層的蝕刻速率選擇性很高，因此在移除半球形晶粒矽時，不會破壞溝渠側壁。此外，利用此法製得之溝渠式電容結構，在半球形晶粒矽層與溝渠下半部之間並沒有蝕刻終止層，故無儲存電容降低的問題。

陸、英文發明摘要

A method for removal of hemispherical grained silicon (HSG) in deep trench is described. A buried SiGe layer formed in collar region of the trench is served as etch stop layer, and followed by wet-etching HSG. KOH/propanone/H₂O could successfully strip HSG without damaging the trench sidewall, since good etch rate selectivity between HSG and SiGe is obtained. In addition, there is no etch stop layer between HSG and the bottom of the trench in such a trench capacitor, therefore capacitance degradation would not be concerned.

柒、(一)、本案指定代表圖為：第 1E 圖

(二)、本代表圖之元件代表符號簡單說明：

102：溝渠

104：研磨墊

108：埋藏矽鍺層

116：半球形晶粒矽層

125：砷矽玻璃層

132：光阻層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明

【發明所屬之技術領域】

本發明是有關於一種移除半球形晶粒矽 (Hemispherical Grained Silicon; HSG) 之方法，特別是在深溝渠結構中，利用矽鍺 (SiGe) 做為蝕刻終止層，以移除半球形晶粒矽層之方法。

【先前技術】

近年來微電子工業快速發展，元件基組日趨微小化，對微小尺寸之動態隨機存取記憶體 (Dynamic Random Access Memory; DRAM) 而言，維持每個晶胞的電容並不容易，目前其儲存電容至少要在 25fF 以上。增加電容表面積或使用高介電係數之介電材料均可改善此問題。其中，利用半球形晶粒矽 (Hemispherical Grained Silicon; HSG) 以增加電容表面積的方法，已廣泛應用於堆疊式 DRAM。

然而，半球形晶粒矽應用到溝渠式 DRAM 時卻面臨了困難：半球形晶粒矽與單晶矽的物性相似，因此在蝕刻溝渠上半部之半球形晶粒矽時，會破壞溝渠之側壁。雖然藉沉積一蝕刻終止層可解決之，但卻引申出另一問題，即在半球形晶粒矽層與溝渠側壁間所存在的蝕刻終止層，會因寄生電容而導致儲存電容下降。

目前部分 DRAM 生產製程已將半球形晶粒矽導入溝渠式 DRAM 中。其在沉積半球形晶粒矽之前，先沉積一

氧化物於溝渠上以做為蝕刻終止層，經多道步驟處理，移除了溝渠下半部的氧化物，而保留溝渠上半部的氧化物後，再沉積一半球形晶粒矽層，並去除溝渠上半部之半球形晶粒矽。然此製程繁複，大幅提高了溝渠式 DRAM 製造的困難度。

【發明內容】

本發明之目的就是在提供一種在深溝渠結構中移除半球形晶粒矽 (Hemispherical Grained Silicon; HSG)，且不會破壞溝渠側壁之方法，以及一種在溝渠式電容中導入半球形晶粒矽後，可維持或提高每個晶胞的儲存電容之方法。

鑒於上述目的，本發明之一態樣，係提供一種利用矽鍺 (SiGe) 做為蝕刻終止層，並以濕蝕刻製程移除深溝渠中半球形晶粒矽之方法。濕蝕刻製程所用之氫氧化鉀/丙酮/水的混合液對半球形晶粒矽與矽鍺層的蝕刻速率選擇性比很高，故在移除溝渠上半部之半球形晶粒矽層時，不會破壞溝渠側壁，同時其平整度更符合後續製程之需求。另一方面，矽鍺層亦提高了埋藏帶 (buried strap; BS) 區域的固態溶解度，因此可降低埋藏帶的阻抗，進而提高驅動電流。

本發明之另一態樣，係提供一種導入半球形晶粒矽至溝渠式電容之方法。其蝕刻終止層係為鍺原子佈植所形成之埋藏矽鍺層，可利用預定角度將埋藏矽鍺層只佈植於溝

渠之領形區(collar region)內，故製得之電容在半球形晶粒矽層與溝渠側壁間並不存在蝕刻終止層，因此可維持或提高晶胞的儲存電容。另一方面，由於此法所佈植之蝕刻終止層，可選擇性地只形成於溝渠之上半部，而無需增加去除溝渠下半部蝕刻終止層的步驟，故有效簡化導入半球形晶粒矽至溝渠式電容之製程。

【實施方式】

本發明之移除深溝渠結構中半球形晶粒矽之方法的一較佳實施例，將參照附件圖式詳述如下。

第 1A 圖係為一具研磨墊 104 與溝渠 102 結構之基板，以一預定角度(較佳的為約 8° ~約 12° ，更佳的為約 10°)施加鍍原子佈植 100 及快速熱處理後，形成一埋藏矽鍍層 108 於溝渠 102 側壁之領形區(collar region)內，以做為蝕刻終止層之用。由於藉由控制佈植角度可使埋藏矽鍍層 108 選擇性地只形成於溝渠 102 之上半部，而不會形成在溝渠 102 下半部，因此無須進行去除溝渠 102 下半部埋藏矽鍍層 108 的步驟。此外，此埋藏矽鍍層 108 亦提高了埋藏帶(buried strap; BS)區域的固態溶解度，可降低埋藏帶的阻抗而提高驅動電流。另一方面，埋藏矽鍍層 108 更可做為罩幕層之用，其在蝕刻溝渠時可保護溝渠之上半部，故再進行濕式蝕刻時只蝕刻領形區以下的部分而形成一瓶形結構之溝渠。

接著，參照第 1B 圖及第 1C 圖，沉積一半球形晶粒

矽層 116 於埋藏矽鍍層 108 及溝渠 102 上，再沉積一矽矽玻璃層 125 於半球形晶粒矽層 116 之上。

隨後進行光阻塗佈與去除之製程。如第 1D 圖所示，形成一光阻層 132 於溝渠 102 下半部內，其深度用以定義埋藏電極形成之高度；然後去除溝渠 102 上半部未被光阻層 132 覆蓋之矽矽玻璃層 125。

接著，如第 1E 圖所示，去除溝渠 102 上半部未被光阻層 132 覆蓋之半球形晶粒矽層 116。此去除步驟係採用濕蝕刻製程，當所用之氫氧化鉀/丙酮/水之混合液組成爲約 1/1/4 時，對半球形晶粒矽層 116 與埋藏矽鍍層 108 的蝕刻速率選擇性比高達 20:1，故在去除溝渠 102 上半部之半球形晶粒矽層 116 的同時，不會破壞溝渠 102 之側壁，且其平整度更可符合後續製程之需求，以改善整合後的電性性質，如有效提高漏電流等。

去除溝渠 102 上半部未被光阻層 132 覆蓋之半球形晶粒矽層 116 後，再移除殘餘的光阻層 132。如第 1F 圖所示，隨之沉積一覆蓋層 150，其材料係爲四乙氧基矽烷 (TEOS)。

退火處理矽矽玻璃層 125，以驅入矽原子而形成一埋藏電極 160。然後進行濕蝕刻製程去除覆蓋層 150 及溝渠 102 下半部之矽矽玻璃層 125，結果如第 1G 圖所示。

最後，如第 1H 圖所示，沉積一介電層 180 於溝渠 102 之上，其材料係爲氧化矽/氮化矽 (SiO_2/SiN)。所得之溝渠式電容結構，在半球形晶粒矽層 116 與溝渠 102 側壁之

間，並無蝕刻終止層，故可維持、甚至提高每個晶胞之儲存電容。

由上述本發明之較佳實施例可知，應用本發明之移除深溝渠結構中半球形晶粒矽之方法，可藉由佈植方式選擇性地將埋藏矽鍺層只形成於溝渠之上半部，無需增加去除溝渠下半部埋藏矽鍺層的步驟，故可簡化製程。且進行濕蝕刻製程時所用之氫氧化鉀/丙酮/水混合液對半球形晶粒矽與埋藏矽鍺層的蝕刻速率選擇性很高，因此將埋藏矽鍺層做為蝕刻終止層，在去除半球形晶粒矽時，不會破壞溝渠之側壁，故可改善整合後的電性性質。又因為半球形晶粒矽層與溝渠側壁間並不存在蝕刻終止層，因此可維持、甚至提高晶胞的儲存電容。埋藏矽鍺層除了做為蝕刻終止層外，其亦增加了埋藏帶區域的固態溶解度，可降低埋藏帶的阻抗而提高驅動電流。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述與其他目的、特徵、和優點能更明顯易懂，配合所附圖式，加以說明如下：

第 1A 圖至第 1H 圖係繪示本發明之一較佳實施例中，在深溝渠結構中移除半球形晶粒矽的製程剖面圖。

【元件代表符號簡單說明】

100：鍺原子佈植

104：研磨墊

116：半球形晶粒矽層

132：光阻層

160：埋藏電極

102：溝渠

108：埋藏矽鍺層

125：砷矽玻璃層

150：覆蓋層

180：介電層

拾、申請專利範圍

1. 一種移除深溝渠結構中半球形晶粒矽層之方法，至少包含：

形成一蝕刻終止層於一基材上溝渠側壁之一領形區 (collar region) 內；

形成一半球形晶粒矽層於該溝渠及該蝕刻終止層上；

形成一砷矽玻璃層於該半球形晶粒矽層上；

形成一光阻層於該溝渠下半部內；

去除該溝渠上半部未被該光阻層覆蓋之該砷矽玻璃層；以及

去除該溝渠上半部未被該光阻層覆蓋之該半球形晶粒矽層。

2. 如申請專利範圍第 1 項所述之移除深溝渠結構中半球形晶粒矽層之方法，更包含：

去除殘餘之該光阻層；

形成一覆蓋層於該溝渠上；

形成一埋藏電極於該溝渠側壁內；

去除殘餘之該砷矽玻璃層及該覆蓋層；以及

形成一介電層。

3. 如申請專利範圍第 1 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之蝕刻終止層係為一埋藏矽鍍層。

4. 如申請專利範圍第 3 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之埋藏矽鍺層更做為一罩幕層，用以形成一瓶形結構之溝渠。

5. 如申請專利範圍第 3 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之埋藏矽鍺層係利用一預定角度佈植鍺原子以形成於該溝渠之上半部內。

6. 如申請專利範圍第 5 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之預定角度係為約 8° ~ 約 12° 。

7. 如申請專利範圍第 3 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之埋藏矽鍺層係更利用快速熱處理以形成於該溝渠之上半部內。

8. 如申請專利範圍第 1 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之去除該溝渠上半部未被該光阻層覆蓋之該半球形晶粒矽層，係使用一濕蝕刻製程。

9. 如申請專利範圍第 8 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之濕蝕刻製程係使用氫

氧化鉀/丙酮/水之混合液。

10. 如申請專利範圍第 9 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之混合液的比例，係為氫氧化鉀/丙酮/水=0.8/1/3.5~1.2/1/4.2，其中當氫氧化鉀/丙酮/水之比例為約 1/1/4 時，對該半球形晶粒矽層與該矽鍍層之蝕刻速率選擇性比高達 20：1。

11. 如申請專利範圍第 1 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之半球形晶粒矽層與該矽玻璃層，係利用一沈積製程所形成。

12. 如申請專利範圍第 1 項所述之移除深溝渠結構中半球形晶粒矽層之方法，其中上述之去除該溝渠上半部未被該光阻層覆蓋之該矽玻璃層，係使用一濕蝕刻製程。

13. 一種製造溝渠式電容之方法，至少包含：

提供一基材，該基材至少具一溝渠結構；

形成一蝕刻終止層於該溝渠之上半部內；

沉積一半球形晶粒矽層於該溝渠及該蝕刻終止層上；

沉積一矽玻璃層於該半球形晶粒矽層上；

形成一光阻層於該溝渠內；

去除該溝渠上半部之該光阻層；

去除該溝渠上半部未被該光阻層覆蓋之該矽玻璃

層；

去除該溝渠上半部未被該光阻層覆蓋之該半球形晶粒矽層；

去除殘餘之該光阻層；

沉積一覆蓋層於該溝渠上；

形成一埋藏電極於該溝渠側壁內；

蝕刻殘餘之該矽玻璃層及該覆蓋層；以及

沉積一介電層。

14. 如申請專利範圍第 13 項所述之製造溝渠式電容之方法，其中上述之蝕刻終止層係為一埋藏矽鍍層。

15. 如申請專利範圍第 14 項所述之製造溝渠式電容之方法，其中上述之埋藏矽鍍層更做為一罩幕層，用以形成一瓶形結構之溝渠。

16. 如申請專利範圍第 14 項所述之製造溝渠式電容之方法，其中上述之埋藏矽鍍層之形成步驟，更包含：
利用一預定角度佈植鍍原子；以及
快速熱處理製程。

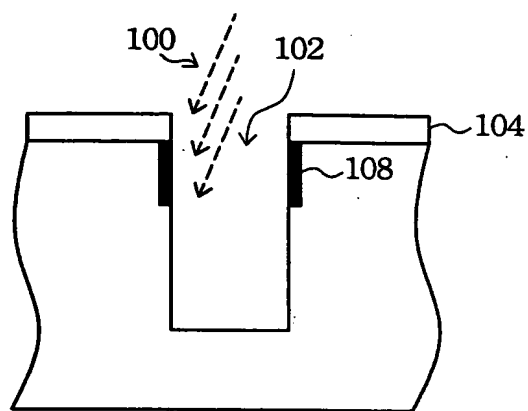
17. 如申請專利範圍第 13 項所述之製造溝渠式電容之方法，其中上述之去除該溝渠上半部未被該光阻層覆蓋之該半球形晶粒矽層，係使用一濕蝕刻製程。

18. 如申請專利範圍第 17 項所述之製造溝渠式電容之方法，其中上述之濕蝕刻製程係使用氫氧化鉀/丙酮/水之混合液。

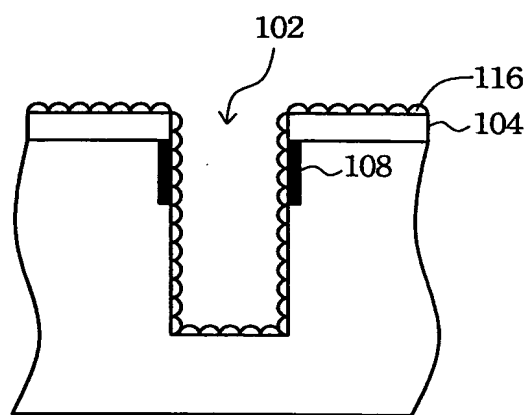
19. 如申請專利範圍第 13 項所述之製造溝渠式電容之方法，其中上述之形成一埋藏電極，係使用退火處理砷矽玻璃層，以驅入砷原子所形成。

20. 如申請專利範圍第 13 項所述之製造溝渠式電容之方法，其中上述之覆蓋層係為四乙氧基矽烷層。

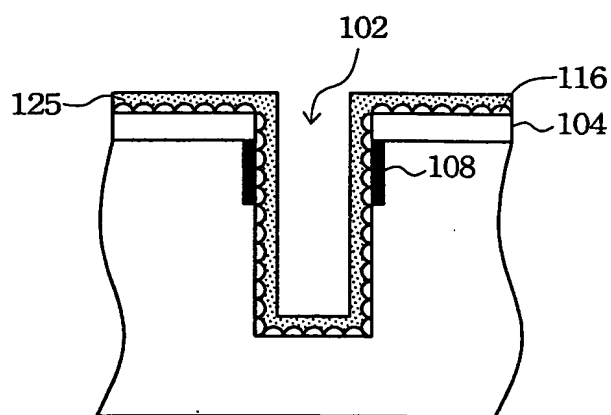
21. 如申請專利範圍第 13 項所述之製造溝渠式電容之方法，其中上述之介電層係為氧化矽層/氮化矽層。



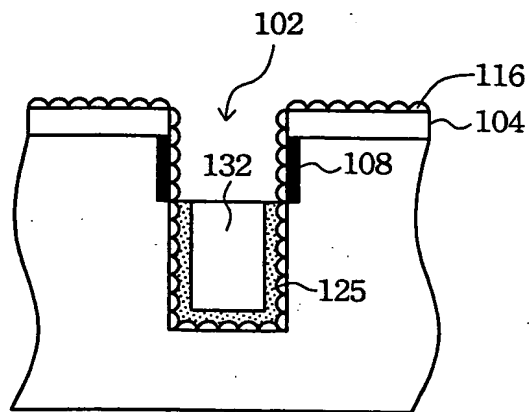
第 1A 圖



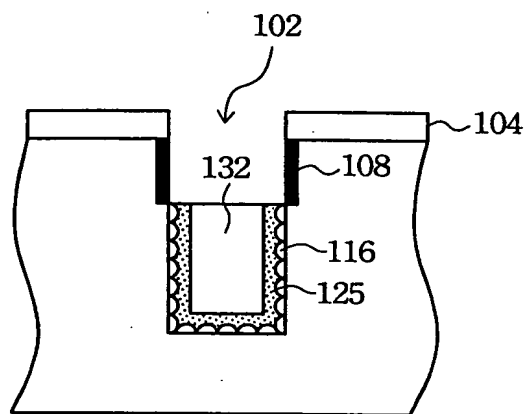
第 1B 圖



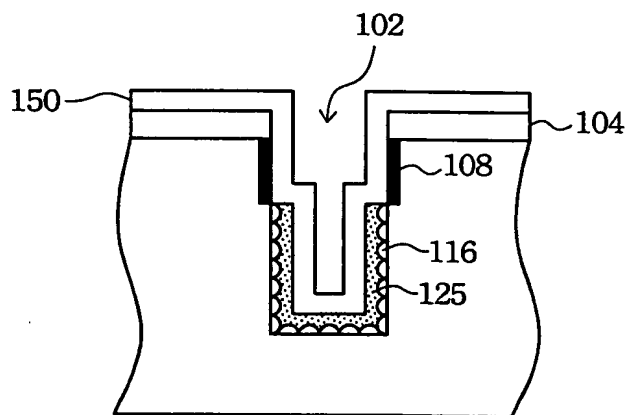
第 1C 圖



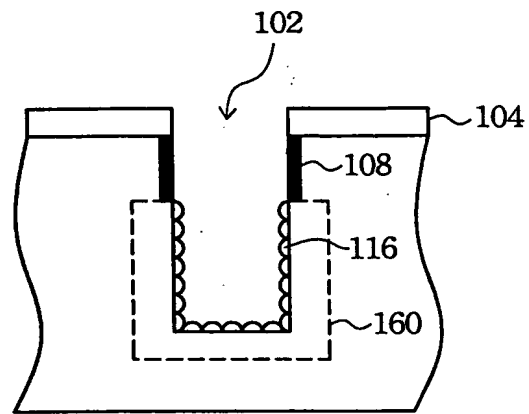
第 1D 圖



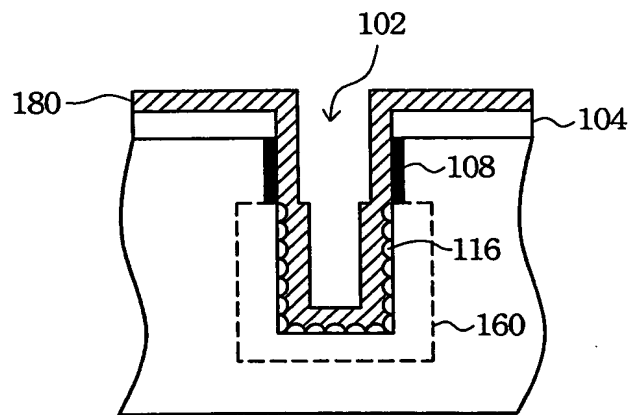
第 1E 圖



第 1F 圖



第 1G 圖



第 1H 圖